

3/5/2

DIALOG(R) File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

04717240 \*\*Image available\*\*

SEMICONDUCTOR DEVICE

PUB. NO.: 06-188240 [\*JP 6188240\* A]  
PUBLISHED: July 08, 1994 (19940708)  
INVENTOR(s): YAMAHA TAKAHISA  
APPLICANT(s): YAMAHA CORP [000407] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.: 04-354401 [JP 92354401]  
FILED: December 16, 1992 (19921216)  
INTL CLASS: [5] H01L-021/318; H01L-021/90; H01L-027/04; H01L-029/784  
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)  
JAPIO KEYWORD: R004 (PLASMA); R097 (ELECTRONIC MATERIALS -- Metal Oxide  
Semiconductors, MOS)

#### ABSTRACT

PURPOSE: To prevent moisture from penetrating an element region from a chip end via an interlayer insulation film, in an integrated circuit (IC) chip.

CONSTITUTION: In an IC chip 30, within an interlayer insulation film 18 comprising a silicon oxide film 18a, a spin-on-glass (SOG) film 18b, and a silicon oxide film 18c, etc., an interception groove 18Q is so provided as to surround an element region 30a in a more inside place than a chip end 30E. Further, the interception groove 18Q is covered with a protective insulation film 22 made of silicon nitride, etc., using the intervenient layer of a wiring material layer 20Q, etc., or using no intervenient layer. By virtue of the interception groove 18Q, moisture ( $H_2O$ ) is so intercepted that it can not reach the element region 30a. Therefore, in the element region 30a, the inversion of the conduction type of the surface of a P-type well region 10W and the corrosions of wiring material layers 16S, 16D, and 20D, etc., can be prevented for the reliability of a semiconductor device to be improved.

Best Available Copy



【特許請求の範囲】

【請求項 1】 半導体基板と、

この基板の表面にて所定の素子領域内に形成された複数の回路素子と、

これらの回路素子と共に集積回路を構成すべく前記基板の表面に形成された複数層の配線と該複数層の間に形成された層間絶縁膜とを含む配線積層であって、該層間絶縁膜が前記素子領域を覆って前記基板の端部又はその近傍に達するように塗布絶縁膜を用いて平坦状に形成されているものと、

前記配線積層を覆って形成された保護絶縁膜とを備えた半導体装置であって、

前記層間絶縁膜には前記基板の端面より内側で前記素子領域を取囲むように遮断溝を設けると共に、この遮断溝を介在層を介し又は介さずに前記保護絶縁膜で覆ったことを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、集積回路（IC）チップをそなえた半導体装置に関し、特に ICチップにおいて層間絶縁膜に遮断溝を設けたことによりチップ端から層間絶縁膜を介して素子領域に水分が浸入するのを阻止するようにしたものである。

【0002】

【従来の技術】 従来、ICチップの保護構造としては、図5、6に示すようなシールリング構造が知られている。

【0003】 図5、6において、半導体基板10の表面には、複数のチップ内部領域30A、30Bが形成されている。各チップ内部領域は、多数の回路素子及び多層の配線により構成されるICを含むもので、その周辺部は、外部からの水分や不純物の浸入を防ぐために図5に示すようなシールリング構造になっている。

【0004】 シールリング構造にあつては、基板表面に形成されたフィールド絶縁膜12の端部を覆ってチップ内部領域30Aを取囲むように第1の層間絶縁膜14と、1層目の配線材層16と、第2の層間絶縁膜18と、2層目の配線材層20と、保護絶縁膜22とが順次に形成される。配線材層16及び20は、それぞれ1層目及び2層目の配線を形成するのと同時に形成される。また、保護絶縁膜22としては、プラズマCVD（ケミカル・ベーパー・デポジション）法で形成される窒化シリコン膜を用いることが多い。

【0005】 30A、30B等の各チップ内部領域及びその周辺のシールリング部を含む基板部分は、図6に示すように縦横のスクライプ領域32A、32Bに沿ってウェハ状の基板10をダイシングすることにより独立したICチップとなる。

【0006】

【発明が解決しようとする課題】 上記した従来技術によ

ると、ダイシングを行なう際に、図6に示すようにチップ内部領域30Aに達するような切り欠きXが生ずることがある。図7は、このような切り欠きXによりチップ端30Eに絶縁膜12、14、18の端部が露出したICチップ30を示すもので、図5と同様の部分には同様の符号を付してある。

【0007】 図7において、N型半導体基板10の表面には、P型ウェル領域10Wが形成されており、ウェル領域10Wの表面には、フィールド絶縁膜12の素子孔内にTa、Tb等のLDD（Lightly Doped Drain）構造のMOS型トランジスタが形成されている。トランジスタTa、TbのようなIC構成用の回路素子が形成された領域30aを素子領域と称する。

【0008】 第1の層間絶縁膜14は、Ta、Tb等のトランジスタの13G等のゲート電極層と16S、16D等の1層目の配線材層との間に配置されるもので、例えばBPSG（ボロン・リンケイ酸ガラス）からなっている。配線材層16S及び16Dは、それぞれソース及びドレインの配線として使用される。

【0009】 第2の層間絶縁膜18は、16S、16D等の1層目の配線材層と20D等の2層目の配線材層との間に配置されるもので、例えばシリコンオキシド膜18aの上にスピリン・オン・ガラス（SOG）を回転塗布して平坦状にSOG膜18bを形成すると共に、SOG膜18bの上にシリコンオキシド膜18cを形成した構成になっている。配線材層20Dは、絶縁膜18に設けた接続孔18Pを介して配線材層16Dと接続されるもので、ドレイン配線として使用される。

【0010】 ところで、チップ端30EにSOG膜18bが露出すると、外部から水分（H<sub>2</sub>O）がSOG膜18bを介してチップ内部に浸入する場合がある。特に有機系のSOGを用いると、水分が浸入する確率が著しく高くなる。浸入した水分は、SOG膜18b内を急速に素子領域30aまで拡散する。そして、SOG膜18b内を拡散した水分は、徐々に下方に拡散していき、フィールド絶縁膜12中に正の固定電荷を発生させる。この結果、P型ウェル領域10Wの表面で導電型がN型に反転し、例えばトランジスタTa及びTbの間にリーク電流I<sub>L</sub>が流れて正常なトランジスタ動作を阻害する。

【0011】 また、SOG膜18b内を拡散した水分は、例えばAl又はAl合金からなる配線材層16S、16D、20D等にも到達し、これらの配線材層を腐食させることがある。このため、配線の信頼性が低下する。

【0012】 上記のような不都合をなくすには、切り欠きXが生じててもシールリング部に達しないようにスクライプ領域32A、32Bの幅（通常100[μm]程度）を広くすればよい。しかし、これでは、ウェハ1枚から取れるチップの数が減るので、得策でない。

【0013】この発明の目的は、スクライプ領域の幅を広げることなく切り欠きに伴う水分浸入を防止することができる新規な半導体装置を提供することにある。

【0014】

【課題を解決するための手段】この発明に係る半導体装置は、半導体基板と、この基板の表面にて所定の素子領域内に形成された複数の回路素子と、これらの回路素子と共に集積回路を構成すべく前記基板の表面に形成された複数層の配線と該複数層の間に形成された層間絶縁膜とを含む配線積層体であって、該層間絶縁膜が前記素子領域を覆って前記基板の端部又はその近傍に達するように塗布絶縁膜を用いて平坦状に形成されているものと、前記配線積層体を覆って形成された保護絶縁膜とを備えた半導体装置であって、前記層間絶縁膜には前記基板の端面より内側で前記素子領域を取囲むように遮断溝を設けると共に、この遮断溝を介在層を介し又は介さずに前記保護絶縁膜で覆ったことを特徴とする。

【0015】

【作用】この発明の構成によれば、ダイシング時に生じた切り欠きによってSOG等の塗布絶縁膜がチップ端の側壁に露出しても、塗布絶縁膜の露出部から浸入する水分は、遮断溝で遮断され、素子領域まで到達しない。

【0016】

【実施例】図1、2は、この発明の一実施例に係るICチップを示すもので、図7と同様の部分には同様の符号を付して詳細な説明を省略する。

【0017】ICチップ30は、N型半導体基板10、P型ウェル領域10W、フィールド絶縁膜12等を含むもので、素子領域30aには、LDD構造のMOS型トランジスタTa、Tb等の回路素子が形成されている。

【0018】基板上面には、PSG及びBPSGをそれぞれ100[nm]及び600[nm]の厚さに順次に堆積して1000℃でBPSGをフローすることにより第1の層間絶縁膜14を形成する。絶縁膜14に所要の接続孔を形成した後、基板上面にスパッタ法等によりWSi、Al合金（例えばAl-Si-Cu）、WSiを順次に被着してその被着層をパターンニングすることにより1層目の配線材層16S、16D、16Qを形成する。配線材層16S、16Dは、それぞれソース、ドレインの配線として使用される。配線材層16Qは、図6のXのような切り欠きの到達点より内側で素子領域30aを取囲むように図2の18Qのようなパターンで形成される。

【0019】次に、基板上面には、第2の層間絶縁膜18を形成する。すなわち、プラズマCVD法によりシリコンオキシサイド膜18aを500[nm]の厚さに形成した後、SOG膜18bを約300[nm]の厚さに塗布し、400℃でキュアする。そして、プラズマCVD法によりシリコンオキシサイド膜18cを400[nm]の厚さに形成する。

【0020】次に、レジスト層をマスクとするドライエッチング処理等により層間絶縁膜18に接続孔18P及び遮断溝18Qを形成する。このとき、遮断溝18Qは、図2の18Qのようなパターンで配線材層16Qに達するように形成する。遮断溝18Qの幅としては、溝に堆積する膜が溝の側壁を十分被覆するのに必要な幅があればよく、例えば1～2[μm]以上の適当な値に設定することができる。

【0021】次に、基板上面には、スパッタ法等によりAl合金（例えばAl-Si-Cu）を被着してその被着層をパターンニングすることにより配線材層20D、20Qを形成する。配線材層20Dは、接続孔18Pを介して配線材層16Dに接続されるもので、ドレイン配線として使用される。配線材層20Qは、遮断溝18Qを介して配線材層16Qと接続され、SOG膜18bを介しての水分浸入を阻止すべく作用する。

【0022】この後、基板上面には、プラズマCVD法により窒化シリコンを堆積して保護絶縁膜22を形成する。なお、チップ内部領域の周辺部は、図5に示したようなシールリング構造にすることができる。この場合、配線材層16、20は、それぞれ配線材層16S、20Dと共通の工程で形成される。

【0023】上記のような処理が終ったウエハ状の基板を図6に示したようなスクライプ領域に沿ってダイシングすることによりICチップ30が得られる。

【0024】ダイシングの際に図6のXのような切り欠きが生じたことによりチップ端30Eに層間絶縁膜18の端部が露出したとしても、外部からSOG膜18bを介して浸入する水分(H<sub>2</sub>O)は、遮断溝18Qにて遮断され、素子領域30aまで到達しない。遮断溝18Qの外方においてSOG膜18bの下方では浸入水分により絶縁膜12中に正電荷が発生し、ウェル領域10Wの表面の導電型を反転させるが、トランジスタ動作に支障はない。また、配線材層16S、16D、20D等への水分浸入が阻止されるので、配線腐食が抑制される。

【0025】図3、4は、遮断溝部の変形例を示すものである。図3の構造は、図1の構造において配線材層20Qを省略し、遮断溝18Qを保護絶縁膜22のみで覆ったものである。図4の構造は、図1の構造において配線材層16Q、20Qを省略し、遮断溝18bを保護絶縁膜22のみで覆ったもので、外部取出し用のパッド電極を横切って設置できるので、パッド電極の近傍に設けるのに好適である。

【0026】

【発明の効果】以上のように、この発明によれば、ICチップの外周部において層間絶縁膜に遮断溝を設けて水分浸入を阻止するようにしたので、チップ内部で導電型反転や配線腐食が生ずるのを防止することができ、高信頼のIC装置を実現可能となる効果が得られる。

【0027】その上、スクライプ領域の幅を広げる必要

がないので、ウエハ1枚当りのチップ収率を減らさなくて済む利点もある。

【図面の簡単な説明】

【図1】 この発明の一実施例に係るICチップを示す基板断面図である。

【図2】 図1のICチップの上面図である。

【図3】 遮断溝部の変形例を示す断面図である。

【図4】 遮断溝部の他の変形例を示す断面図である。

【図5】 従来のICチップ保護構造を示す基板断面図である。

【図6】 基板上面の素子領域配置を示す上面図であ

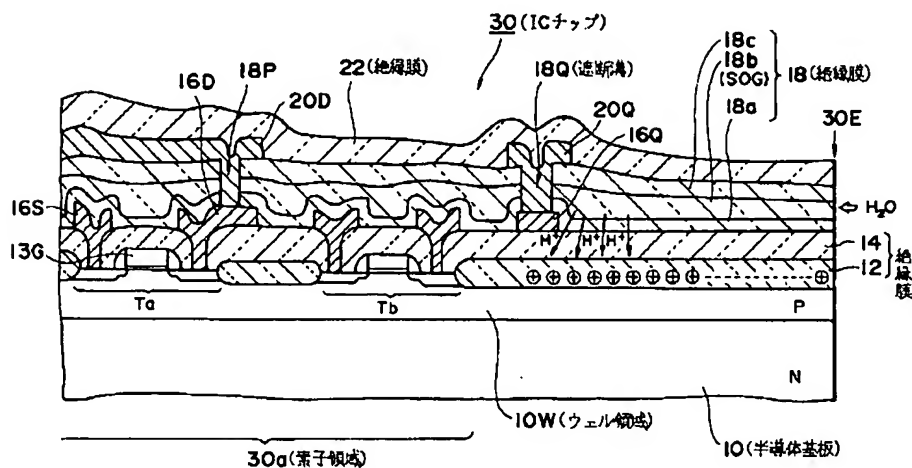
る。

【図7】 従来のICチップにおける導電型反転現象を説明するための基板断面図である。

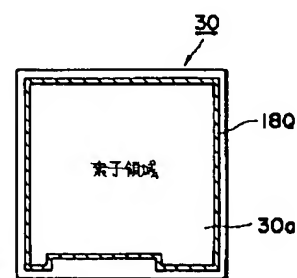
【符号の説明】

10：半導体基板、10W：ウエル領域、12：フィールド絶縁膜、14：第1の層間絶縁膜、16S、16D、16Q：1層目の配線材層、18：第2の層間絶縁膜、18a、18c：シリコンオキシサイド膜、18b：SOG膜、18Q：遮断溝、20D、20Q：2層目の配線材層、22：保護絶縁膜、30：ICチップ、30a：素子領域、30E：チップ端。

【図1】



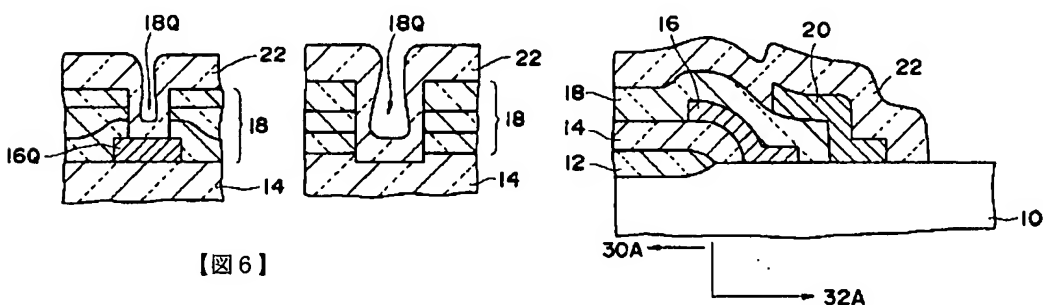
【図2】



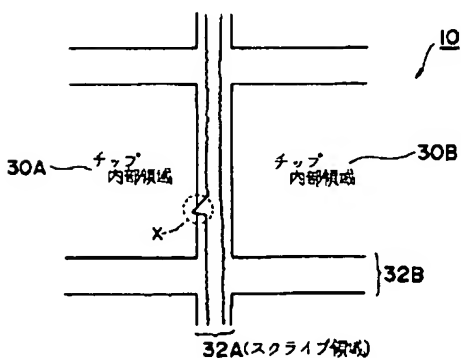
【図3】

【図4】

【図5】



【図6】





**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ BLACK BORDERS

☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES

☒ FADED TEXT OR DRAWING

☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING

☐ SKEWED/SLANTED IMAGES

☒ COLOR OR BLACK AND WHITE PHOTOGRAPHS

☐ GRAY SCALE DOCUMENTS

☒ LINES OR MARKS ON ORIGINAL DOCUMENT

☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY

☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**